

2/5/1 (Item 1 from file: 351)  
DIALOG(R) File 351:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

011543357 \*\*Image available\*\*  
WPI Acc No: 1997-519838/ 199748  
XRPX Acc No: N97-432956

ATM switch for communication network - has input side judgment unit which monitors service condition of common bus based on output side judgment unit result, thereby persuading communication between called party and calling party

Patent Assignee: NIPPON TELEGRAPH & TELEPHONE CORP (NITE )

Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9247166	A	19970919	JP 9650407	A	19960307	199748 B
JP 3059101	B2	20000704	JP 9650407	A	19960307	200036

Priority Applications (No Type Date): JP 9650407 A 19960307

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 9247166	A		8	H04L-012/28	
JP 3059101	B2		8	H04L-012/28	Previous Publ. patent JP 9247166

Abstract (Basic): JP 9247166 A

The switch has multiple input-output circuits (11-01). The call request signal is fed to the input circuit, which is then multiplexed. The multiplexed signal then passes through a common bus (20) and is fed to the output circuit. An address filter (7) is provided which recognises the destination output circuit of the multiplexed signal. An output side judgment unit (3) is provided to monitor the vacancy of the band of that output circuit to be the destination of the multiplexed signal.

The output side judgment unit thus grants the call request. Finally, an input side judgment unit (2) monitors the service condition of the common bus, based on the result of the output side judgment and persuades communication between calling party and called party.

ADVANTAGE - Establishes number of input-output circuits by traffic demands. Establishes process delay time of call reception control.

Dwg.1/11

Title Terms: ATM; SWITCH; COMMUNICATE; NETWORK; INPUT; SIDE; UNIT; MONITOR; SERVICE; CONDITION; COMMON; BUS; BASED; OUTPUT; SIDE; UNIT; RESULT; COMMUNICATE; CALL; PARTY; CALL; PARTY

Derwent Class: W01

International Patent Class (Main): H04L-012/28

International Patent Class (Additional): H04Q-003/00

File Segment: EPI

2/5/2 (Item 1 from file: 347)  
DIALOG(R) File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

05632366 \*\*Image available\*\*  
ATM SWITCH

PUB. NO.: 09-247166 [ JP 9247166 A]  
PUBLISHED: September 19, 1997 (19970919)  
INVENTOR(s): YASUKAWA MASANAGA  
SHIOMOTO KOHEI  
YAMANAKA NAOAKI  
APPLICANT(s): NIPPON TELEGR & TELEPH CORP <NTT> [000422] (A Japanese Company or Corporation), JP (Japan)  
APPL. NO.: 08-050407 [JP 9650407]  
FILED: March 07, 1996 (19960307)  
INTL CLASS: [6] H04L-012/28; H04Q-003/00

ABSTRACT

PROBLEM TO BE SOLVED: To revise flexibly number of input and output lines depending on demand of traffic by providing an input side discrimination means making reception propriety discrimination of a call connection request according to the request through the monitor of an operating state of a common bus to an input line adaptor section.

SOLUTION: The ATM switch is made up of an input line adaptor section I(sub 1), a common bus 20 and an output line adaptor section O(sub 1). A monitor 1 monitoring the operating state of the common bus 20 and a CAC controller 2 discriminating the call connection propriety are arranged to the input line adaptor section I(sub 1). A monitor controller 3 monitoring the operating state of the outgoing line and discriminating the call connection priority is arranged to the output line adaptor section O(sub 1). Since the adaptor sections I(sub 1), O(sub 2) conduct autonomously and distributively each call reception control, even when number of adaptor sections I(sub 1), O(sub j) (i, j=1, 2,...) connecting to the common bus 20 is changed, the communication quality is satisfied. Thus, number of contained lines is simply revised by having only to extend the adaptor sections I(sub i), O(sub j).

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-247166

(43) 公開日 平成9年(1997)9月19日

(51) Int. Cl.<sup>6</sup>

H 0 4 L 12/28

H 0 4 Q 3/00

識別記号

庁内整理番号

9466-5K

F I

H 0 4 L 11/20

H 0 4 Q 3/00

技術表示箇所

G

審査請求 未請求 請求項の数5 O L (全 8 頁)

(21) 出願番号

特願平8-50407

(22) 出願日

平成8年(1996)3月7日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 安川 正祥

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72) 発明者 塩本 公平

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72) 発明者 山中 直明

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(74) 代理人 弁理士 井出 直孝 (外1名)

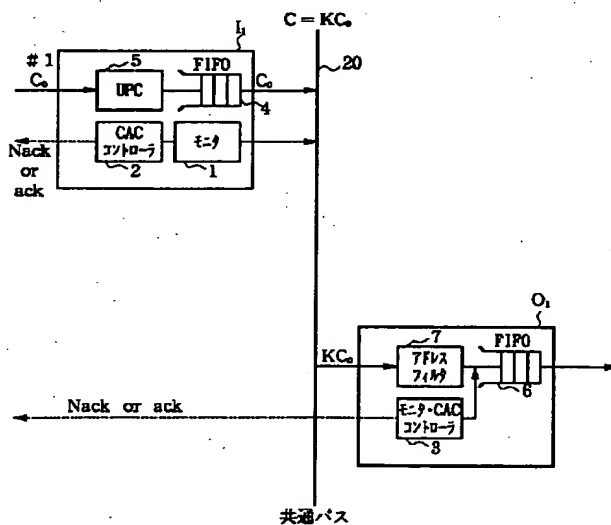
(54) 【発明の名称】 ATMスイッチ

(57) 【要約】

【課題】 共通バス型のATMスイッチでは、出力回線の空き帯域情報により呼受付制御を行っているが、共通バスの最大容量に近い入力があるときは共通バス内でもセル損失が発生する。これを回避するためには、網全体の総合的なセル損失評価を行い呼受付可否を判定する必要があるが、処理遅延時間が大きく、入出力回線数の増減に対応し難い。

【解決手段】 それぞれの入力回線対応部および出力回線対応部で自律分散的に呼受付制御を行う。発呼者は、入力および出力回線対応部の双方からの呼受付許可を得て発呼を行う。

【効果】 呼受付制御の処理遅延時間が入出力回線数の増減に無関係に一定である。また、トラヒック需要による入出力回線数の増減に柔軟に対応できる。さらに、共通バスの帯域を入力回線の帯域分以下に経済化することができる。



## 【特許請求の範囲】

【請求項1】 複数の入力回線を終端しその入力回線に到来する信号の多重化を行う複数の入力回線対応部と、この多重化された信号の共通通路となる共通バスと、この共通バスからアドレスフィルタにより対応する出力回線への信号を抽出しその出力回線にATMセルとして送出する複数の出力回線対応部とを備え、この出力回線対応部は、当該出力回線の使用状態を監視し入力回線に生じる呼の接続要求の受付可否判定を行う出力側判定手段を備えたATMスイッチにおいて、

前記入力回線対応部に、前記共通バスの使用状態を監視し前記呼の接続要求にしたがって前記接続要求の受付可否判定を行う入力側判定手段を設けたことを特徴とするATMスイッチ。

【請求項2】 前記入力側判定手段は、前記共通バスの最小空き帯域を測定する手段と、その測定結果を最小空き帯域情報として保持する手段と、前記呼の接続要求に含まれるピークセル速度および平均セル速度とこの最小空き帯域情報とにしたがって呼の受付可否を判定する手段とを備えた請求項1記載のATMスイッチ。

【請求項3】 前記入力側判定手段は、前記共通バス上のあるウィンドウ時間 $w$  (s) 内のセル数を計数する手段と、その計数されたセル数の最大セル数 $q_{max}$  (t) からセルサイズ $L$  (bit) に対して $C = q_{max}(t)L/w$

を現在使用されている前記共通バスの帯域であるとして求め、あらかじめ設定されているバスの全使用可能帯域を $C_0$ とすると、 $c = C_0 - C$ を使用可能な帯域とする手段とを含む請求項1記載のATMスイッチ。

【請求項4】 前記入力側判定手段は、前記呼の接続要求があるたびに前記使用可能な帯域を演算する手段を含む請求項3記載のATMスイッチ。

【請求項5】 前記入力側判定手段は、前記呼の接続要求に含まれる最大セル送出レートに対して前記使用可能な帯域が十分であるかをあらかじめ設定された基準にしたがって評価する手段と、その呼の接続要求に含まれる宛先の情報にしたがってセル損失を演算しそのセル損失が設定された基準値以内であることを評価する手段とを含む請求項4記載のATMスイッチ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はATM (Asynchronous Transfer Mode) に利用する。本発明はATM通信網の交換装置に利用するに適する。特に、呼接続要求の制御

$$B \leq \frac{\sum_{k=r+1}^{\infty} (k-r) p_1 \otimes \dots \otimes p_N (k)}{\sum_{k=0}^{\infty} k p_1 \otimes \dots \otimes p_N (k)} \quad \text{----- (式1)}$$

で与えられるので、呼接続要求があるたびに式1を計算し、呼が要求する通信品質を表すセル損失の規定値と比

技術に関する。

## 【0002】

【従来の技術】 ATM通信網における従来の呼接続要求の制御について図10を参照して説明する。図10は従来の共通バス型のATMスイッチのブロック構成図である。従来の共通バス型のATMスイッチは、多重化装置40によって各入力回線上のセルを入力回線速度(C) × 入力回線数(N) に高速化した共通バス20上に多重し、各出力回線に置かれたアドレスフィルタ7によりその出力回線宛のセルのみをフィルタリングすることでスイッチングを行っている。

【0003】 このATMスイッチではトラヒック需要が変化してATMスイッチに収容されるバーチャルチャネル(以下、VCと記す) 数が増えたときに入力および出力回線対応部を増設することによりATMスイッチに収容する入力および出力回線数を変更することはできても共通バス20の帯域は $N \times C$ に固定されており、共通バス20へのアクセス制御手段が存在しないために共通バス20の帯域以上のセルが共通バス20に到着するとセル損失が起きるという問題がある。

【0004】 また、従来、このような共通バス型のATMスイッチにおいてはコネクション設定時に出力回線毎にトラヒック記述子であるピークセル速度(以下、PCRと記す) と平均セル速度(以下、SCRと記す) と呼が網に要求する通信品質を申告し、このトラヒック記述子を用いて当該コネクションを受付けたときに網内の全てのコネクションの要求通信品質が満足されると判定されたときにのみ当該コネクションの呼設定を許可している。具体的には文献Saito H.: "Call admission control in an ATM networks using upper of cell loss probability", IEEE Trans. Communications, 40, 9, pp. 1512-1521 (1992). にあるように出力回線に加わる $i$  番目のVCコネクションのPCRとSCRを $R_i$ 、 $A_i$  とすると、セル損失が最悪となるセル到着パターンは $r$  セル転送時間

にこのVCコネクションから到着するセル数分布 $P_i(k)$  ( $k=0, 1, 2, \dots$ ) が

$$P_i(k) = A_i / R_i \quad \dots k = r R_i$$

$$P_i(k) = 1 - A_i / R_i \quad \dots k = 0$$

$$P_i(k) = 0 \quad \dots k \neq r R_i, 0$$

となる場合のときだから、当該コネクションを受付けたときの各出力ポートにおけるセル損失率は、

## 【0005】

## 【数1】

較して式1がその規定値を超えないときにコネクションの呼接続を許可していた。

【0006】ただし、ATMスイッチに収容される入力および出力回線数が多くなりATMスイッチ内に収容されるVC数が増えると、このように接続要求があるたびにすべての呼のセル数分布の畳み込み演算を行い呼接続を行う制御のもとでは、呼接続前に莫大な計算量が必要になるため、接続遅延時間が増え、リアルタイム処理が不可能となる問題がある。

【0007】

【発明が解決しようとする課題】共通バスに入力および出力回線対応部を増設していきATMスイッチに収容される入力および出力回線数を増やしていく過程を考える。共通バスに接続される入力および出力回線対応部の数が少ないときにはバス容量が十分にあるので出力回線対応部においてのみ分散的に呼受付制御を行えばよいが、共通バスに接続される入力および出力回線対応部の数が増えると共通バスの容量が不足し共通バス上でもセル損失が生じるようになる。このような状況の下では出力回線対応部だけでなく共通バス上でも呼受付制御が必要になってくる。

【0008】図11はバス速度と呼受付制御の関係を示す図である。横軸にバス速度をとり、縦軸にバス実効使用効率をとる。図11は150Mbpsの入力回線を20Gbpsの共通バスに増設して行く共通バス型のATMスイッチの例を示している。150Mbpsの入力回線には $peak = 25Mbps$ 、 $ave/peak = 0.1$ で要求通信品質がセル損率 $10^{-6}$ を満たすVCが収容されている。図11の実線は150Mbpsの入力回線対応部をATMスイッチに増設していき、ATMスイッチに収容される入力回線数を多くしてスイッチサイズを大きくしていったときの入力回線対応部全体の実効使用効率を表している。点線はバス容量に対する共通バスの実効使用効率を表している。例えば、共通バスに入力回線対応部を増設していったスイッチサイズを120Gbps程度まで拡大したとすると入力回線対応部の実効使用効率は16Gbps程度になるので、共通バスのバス容量を20Gbps程度用意しておけばセル損率 $10^{-6}$ の通信品質を満たすことができることを図11のグラフは示している。このときさらに入力回線対応部を増やしてスイッチサイズを拡大すると共通バス上でもセル損率 $10^{-6}$ の通信品質を満たすことができなくなるので、これ以上呼接続を受付けることができなくなり共通バスと出力回線で二重に呼受付制御を行わなくてはならなくなる。

【0009】本発明は、このような背景に行われたものであって、スイッチサイズ変更柔軟に対応することができる呼受付制御を確立することができるATMスイッチを提供することを目的とする。本発明は、接続遅延時間を短縮することができるATMスイッチを提供することを目的とする。本発明は、共通バスの帯域を入力回線の帯域分以下に経済化することができるATMスイッチ

を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明は第一に、各入力回線対応部に共通バスの使用状況をモニタする手段と共通バスへのCAC（呼受付制御：Call Admission Control）コントローラを備えている点、第二に先のモニタにより共通バスと出力回線の帯域の使用状況を監視してこの情報を基に呼の接続制御を行うことで共通バスと出力回線で二重にセル損失を抑えている点、第三に各入力および出力回線対応部で分散的にCAC、UPC（Usage Parameter Control）を行うことで各機能を入力および出力回線対応部に分散させて配置する点が異なっており、二重のCACを行うことでセル損失なしで共通バスに入力および出力回線対応部を接続するだけでスイッチ規模を容易に変更できることを最も主要な特徴とする。

【0011】すなわち、本発明はATMスイッチであって、複数の入力回線を終端しその入力回線に到来する信号の多重化を行う複数の入力回線対応部と、この多重化された信号の共通通路となる共通バスと、この共通バスからアドレスフィルタにより対応する出力回線への信号を抽出しその出力回線にATMセルとして送出する複数の出力回線対応部とを備え、この出力回線対応部は、当該出力回線の使用状態を監視し入力回線に生じる呼の接続要求の受付可否判定を行う出力側判定手段を備えたATMスイッチである。本発明の特徴とするところは、前記入力回線対応部に、前記共通バスの使用状態を監視し前記呼の接続要求にしたがって前記接続要求の受付可否判定を行う入力側判定手段を設けたところにある。

【0012】このように、入力および出力回線対応部に呼の接続制御装置を分散的に配置し、呼の接続要求が発生すると、その呼の経路に相当する入力および出力回線対応部が自律分散的に呼の接続制御を行うことにより、入力および出力回線の増減に柔軟に対応することができる。

【0013】前記入力側判定手段は、前記共通バスの最小空き帯域を測定する手段と、その測定結果を最小空き帯域情報として保持する手段と、前記呼の接続要求に含まれるピークセル速度および平均セル速度とこの最小空き帯域情報とにしたがって呼の受付可否を判定する手段とを備えることが望ましい。

【0014】また、前記入力側判定手段は、前記共通バス上のあるウィンドウ時間 $w$ （s）内のセル数を計数する手段と、その計数されたセル数の最大セル数 $q_{max}(t)$ からセルサイズ $L$ （bit）に対して

$$C = q_{max}(t) L / w$$

を現在使用されている前記共通バスの帯域であるとして求め、あらかじめ設定されているバスの全使用可能帯域を $C_0$ とすると、

$$c = C_0 - C$$

を使用可能な帯域とする手段とを含むことが望ましい。

【0015】前記入力側判定手段は、前記呼の接続要求があるときに前記使用可能な帯域を演算する手段を含むことが望ましい。

【0016】前記入力側判定手段は、前記呼の接続要求に含まれる最大セル送出レートに対して前記使用可能な帯域が十分であるかをあらかじめ設定された基準にしたがって評価する手段と、その呼の接続要求に含まれる宛先の情報にしたがってセル損失を演算しそのセル損失が設定された基準値以内であることを評価する手段とを含むことが望ましい。

【0017】これにより、多数のVC間でバス帯域の競合が起きる共通バス型のATMスイッチで、従来例で示した式1を用いてセル損率を計算すると計算量が多くなり、接続遅延時間が增大するという欠点を解決することができる。このように、低遅延でATMスイッチに呼を接続できる呼の接続制御を提供することで、大群化効果を最大限に利用して共通バスの帯域を入力回線の帯域分以下に経済化することができる。

【0018】

【発明の実施の形態】

【0019】

【実施例】本発明実施例の構成を図1を参照して説明する。図1は本発明実施例装置の要部ブロック構成図である。

【0020】本発明はATMスイッチであって、入力回線を終端しその入力回線に到来する信号の多重化を行う入力回線対応部 $I_1$ と、この多重化された信号の共通通路となる共通バス20と、この共通バス20からアドレスフィルタ7により対応する出力回線への信号を抽出しその出力回線にATMセルとして送出する出力回線対応部 $O_1$ とを備え、この出力回線対応部 $O_1$ は、当該出力回線の使用状態を監視し入力回線に生じる呼の接続要求の受付可否判定を行う出力側判定手段としてのモニタ・CACコントローラ3を備えたATMスイッチである。

【0021】ここで、本発明の特徴とするところは、入力回線対応部 $I_1$ に、共通バス20の使用状態を監視し前記呼の接続要求にしたがって前記接続要求の受付可否判定を行う入力側判定手段としてのモニタ1およびCACコントローラ2を設けたところにある。

【0022】入力回線対応部 $I_1$ には共通バス20の使用状態を監視するモニタ1とその情報をもとに呼の接続の可否を判定するCACコントローラ2が配置される。

【0023】図2はモニタ1とCACコントローラ2のブロック構成図である。図2に示すように、このモニタ1は共通バス20上の空きスロットを計測するための空きスロット測定部10と、その計測値を格納するための最小空き帯域メモリ11および12と、この最小空き帯域メモリ11および12の計測値の大小を比較して小さい方の計測値によりデータを更新する最小空き帯域情報保持部13から構成されている。

【0024】また、CACコントローラ2はユーザ申告のPCR、SCRを記憶するユーザ申告値保持部15と、モニタ1から通知される最小空き帯域情報とPCRの大小とを比較し接続可否判定を行う接続可否判定部14から構成される。

【0025】出力回線対応部 $O_1$ は出力回線の使用状況を監視し、その情報をもとに呼の接続可否を判定するモニタ・CACコントローラ3から構成される。

【0026】図3はモニタ1の動作を示すフローチャートである。まず、空きスロット測定部10により共通バス20の空きスロットを計測する(S1)。空き帯域を評価し(S2)、現在時刻tにおける最小空き帯域 $C_{min}(t)$ を求める(S3)。この値を過去の時刻t-1に求めた最小空き帯域 $C_{min}(t-1)$ と比較し(S4)、最小空き帯域 $C_{min}(t)$ が最小空き帯域 $C_{min}(t-1)$ よりも大きいときには、これまでの最小値である最小空き帯域 $C_{min}(t-1)$ を更新しない(S6)。最小空き帯域 $C_{min}(t)$ が最小空き帯域 $C_{min}(t-1)$ よりも小さいときには、これまでの最小値である最小空き帯域 $C_{min}(t-1)$ を $C_{min}(t)$ に更新する(S5)。

【0027】図4はモニタ・CACコントローラ3のブロック構成図である。出力回線の使用状況を出力回線帯域測定部16が測定する。ユーザ申告値保持部18にはユーザ申告のPCR、SCRが記憶されている。接続可否判定部17は、出力回線帯域測定部16から出力される出力回線の空き帯域情報と、ユーザ申告値保持部18から出力されるユーザ申告のPCR、SCRとを入力して比較することにより呼の接続可否判定を行う。

【0028】本発明実施例の動作を説明する。入力回線対応部 $I_1$ は図1および図2に示すようにモニタ1の空きスロット測定部10により共通バス20上でフレーム内の空きスロットを一定時間計測し、CACコントローラ2は、その計測値とユーザ申告のPCRを比較してユーザ申告のPCRがバスの空き帯域より小さい場合に呼を受けける。入力回線対応部 $I_1$ に到着したセルは入力バッファ4に一時蓄積され、共通バス20上に空きスロットが検出されるとバス上に送出される。このように共通バス20上で呼受付制御を行うことで共通バス20上のセル損失を防いでいる。

【0029】さらに、出力回線対応部 $O_1$ でも出力回線の帯域使用状況からセル流量分布を求めそのセル流量分布を用いて呼受付制御を行い出力バッファ6での通信要求品質を満たしている。

【0030】このように発呼時に入力回線対応部 $I_1$ での共通バス20の呼受付制御を行い、出力回線対応部 $O_1$ で出力回線の呼受付制御を行い、各入力および出力回線対応部 $I_i$ 、 $O_i$ で呼受付制御を自律分散的に行っているため共通バス20に接続される入力および出力回線対応部 $I_j$ 、 $O_j$  ( $i, j = 1, 2, \dots, N$ ) の数が変

化しても要求通信品質を満たすことができるようになっている。この二つの手段により入力および出力回線対応部  $I_1$ 、 $O_j$  の増設のみでATMスイッチに收容される回線数を簡単に変更できるATMスイッチの構成が可能となる。

【0031】本発明実施例を図5を参照してさらに詳細に説明する。図5は本発明実施例装置のブロック構成図である。図5のATMスイッチは共通バス型のATMスイッチで、トラヒック状況に応じて共通バスに入力および出力回線対応部  $I_1 \sim I_n$ 、 $O_1 \sim O_n$  を増設できる

ようになっている。  
【0032】入力回線対応部  $I_1 \sim I_n$  には前述の共通バス20の使用帯域を観測して共通バス20の空き帯域を求めるモニタ1とCACコントローラ2が備え付けてある。また、出力回線対応部  $O_1 \sim O_n$  にはそれぞれの出力回線の使用帯域を観測してセル流量分布を求めるモニタとそれによって求められたセル流量分布とユーザが発呼時に送出するトラヒック記述子であるPCR、SCRを用いてセル損率を計算し当該呼の接続制御を行うモニタ・CACコントローラ3が備え付けてある。

【0033】次に、各出力回線対応部  $O_1 \sim O_n$  における分散型呼受付制御を説明する。まず、出力側の呼受付制御は村瀬らの方法にあるようにバッファレス流体近似モデルによる方法を採用する。このモデルではセルの流量分布が必要となるが、これを求めるには、文献H. Saito and K. Shimoto: "Dynamic Call Admission Control in ATM Networks", IEEE J. Selected Areas Commun., 9, no. 7, pp. 982-989, 1991. の方法にあるように出力回線のトラヒックをスライディングウィンドウ法によって測定し、セル流量分布を求め、測定したセル流量分布とユーザから申告のあったピーク速度を畳み込み呼接続を許可した場合のセル流速分布の予測値からセル損失を評価し呼接続の可否を判定する方法と出力側のVC数は少ないので先に述べたように文献Saito H.: "Call admission contr

$$C = q_{\max}(t) \cdot L / W$$

として見積もることができるので、使用されていないバ

$$c = C_0 - C$$

と評価できる。このとき、收容されている端末が最大セル送出速度PCRで呼接続要求を発するとノードはこれ

$$PCR < c$$

ならば呼の接続を許可する。ただし、この接続許可法は先の出力回線対応部  $O_1 \sim O_n$  においても利用可能である。

【0036】この共通バス型スイッチにおける呼受付制御を図9を参照して説明する。図9は共通バス型スイッチにおける呼受付制御を示すフローチャートである。モニタ1により共通バス20の空きスロットを計測する

(S11)。呼の接続要求があると(S12)、共通バス上の空き帯域を求める(S13)。ユーザから申告されたPCRの値と空き帯域(Crest)の値とを比較

ol in an ATM networks using upper bound of cell loss probability", IEEE Trans. Communications, 40, 9, pp. 1512-1521 (1992). の方法にあるようにユーザから申告されるPCRとSCRを基に当該呼を受け付けた場合の予測されるセル損失を計算しその値から呼接続の可否を判定する方法のどちらか一方を使用する。

【0034】次に、共通バス20上での呼受付制御を図6ないし図8を参照して説明する。図6は共通バス上のセル流量分布を求める概念を示す図である。図7はスライディングウィンドウを示す図である。図7は横軸に時間経過をとる。縦棒はセルを表わす。図8は共通バス帯域評価法を示す図である。図8は横軸に時間経過をとる。縦軸に帯域をとる。前述したように共通バス20上では膨大な数のVCが多重化されていて各VC間で帯域競合するのでセル流量分布をユーザ申告のPCRとSCRを用いて計算することは低接続遅延が要求される交換ノードにおいては計算量が多くなり適当な方法ではない。

【0035】そこで本発明では図6にあるように入力回線対応部  $I_1$  にモニタ1を設置し分散的にバス上でのセルのトラヒックをスライディングウィンドウ法によって測定し、バス上のセル流量分布を求める。ここで、スライディングウィンドウのウィンドウサイズを  $W(s)$ 、帯域測定時間を  $T(s)$ 、バス帯域を  $C_0$ 、共通バス20上でのセルサイズを  $L(bit)$  とし、この測定時間  $T$  内に次々に得られるセル流量分布を時系列データとして  $q(t)$ 、セル流量分布の最大セル到着数  $q_{\max}(t)$  とする。ただし、 $q_{\max}(t)$  は図3のフローチャートにあるように帯域測定時間  $T$  の間、ウィンドウが更新されあらたにセル到着分布が測定される度に測定された最大値が測定前の最大値より大きい場合に、新しい最大値として更新されるとすると、現在、呼接続を許可されている呼が使用しているバスの予測帯域は更新された最大値を用いて最大

$$\dots (式2)$$

スの残りの帯域  $c$  は最小

$$\dots (式3)$$

を受けて

$$\dots (式4)$$

し(S14)、PCRの値が空き帯域の値よりも大きいときには接続拒否とする(S15)。PCRの値が空き帯域の値よりも小さいときには宛先出力回線におけるセル損失率(CLR)を評価する(S16)。セル損失率が基準値を超える場合には(S17)、接続を拒否する(S18)。また、セル損失率が基準値を下回る場合には(S17)、接続を受け付ける(S19)。

【0037】このように、まず、このATMスイッチに対して発呼要求があると、このATMスイッチは図9に示すようなフローチャートにしたがって、測定により求

められた共通バス20上の空き帯域と発呼者の要求PCRの大小を比較してバス上での呼接続の可否を判定し、呼接続が許可されるとセルの宛先を見て、その出力回線において当該呼を受付けた場合に予測されるセル損失が、要求品質を満たす基準値以下かどうかを判断し、品質条件を満たしていれば始めて呼の接続を許可する。

【0038】このとき送出されたセルが入力回線対応部 $I_1 \sim I_n$ に到着すると入力バッファ4に一時蓄積され、CACコントローラ2が共通バス20上に空きスロットを検出するとセルを共通バス20に送出し、その後、セルは目的の出力回線のアドレスフィルタ7によって出力回線に出力される。また、この図9に示したフローチャートにおいて共通バス20と各々の出力回線における呼接続判定順序は逆転可能である。

【0039】本発明の高速型バスATMスイッチは、以上説明したような完全独立制御の分散型呼受付制御手段を二重に備えているために、セル損失を気にせずに入力および出力回線対応部 $I_1 \sim I_n$ 、 $O_1 \sim O_n$ の増設ができ、トラヒック需要に応じてATMスイッチに収容する入力および出力回線数を変更することが可能となる。

【0040】

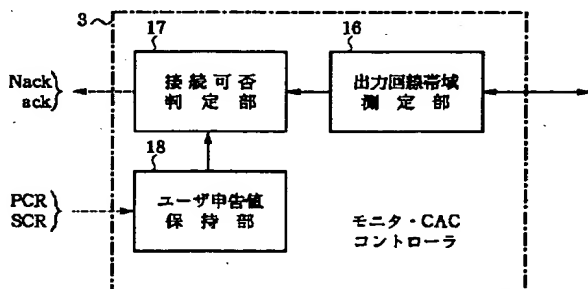
【発明の効果】以上説明したように、本発明によれば、分散的に共通バスと出力回線への呼接続を制御しているのでATMスイッチのバックボーンを変更することなしに容易にATMスイッチに収容される回線数を変更できる。これによりトラヒック需要に応じて柔軟に入力および出力回線数を変更することができるATMスイッチを構成することが可能となる。また、共通バスの帯域を大群化効果により削減しているために経済化が図れたATMスイッチを作ることができる。

【図面の簡単な説明】

【図1】本発明実施例の要部ブロック構成図。

【図2】モニタとCACコントローラのブロック構成

【図4】



図。

【図3】モニタの動作を示すフローチャート。

【図4】モニタ・CACコントローラのブロック構成図。

【図5】本発明実施例装置のブロック構成図。

【図6】共通バス上のセル流量分布を求める概念を示す図。

【図7】スライディングウィンドウを示す図。

【図8】共通バス帯域評価法を示す図。

10 【図9】共通バス型スイッチにおける呼受付制御を示すフローチャート。

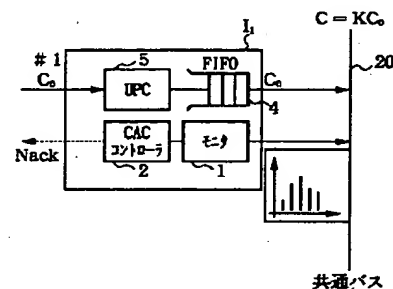
【図10】従来の共通バス型スイッチのブロック構成図。

【図11】バス速度と呼受付制御の関係を示す図。

【符号の説明】

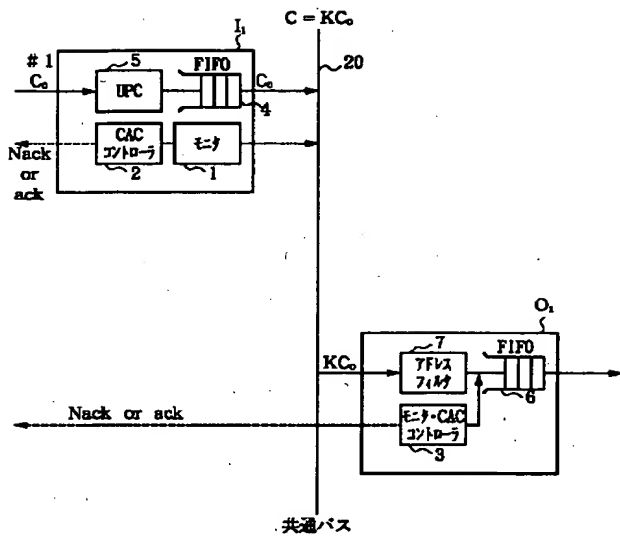
- 1 モニタ
- 2、30 CACコントローラ
- 3 モニタ・CACコントローラ
- 4 入力バッファ
- 5 UPC
- 6 出力バッファ
- 7 アドレスフィルタ
- 10 空きスロット測定部
- 11、12 最小空き帯域メモリ
- 13 最小空き帯域情報保持部
- 14、17 接続可否判定部
- 15、18 ユーザ申告値保持部
- 16 出力回線帯域測定部
- 20 共通バス
- 30 多重化装置
- $I_1 \sim I_n$  入力回線対応部
- $O_1 \sim O_n$  出力回線対応部

【図6】

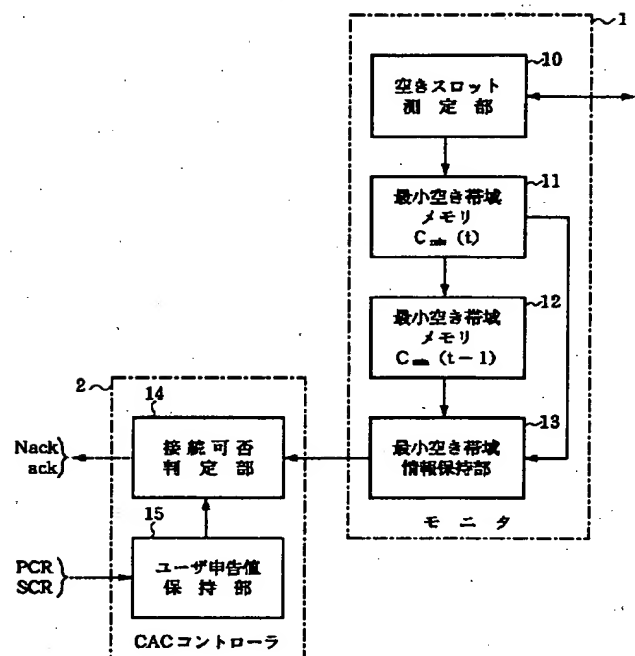




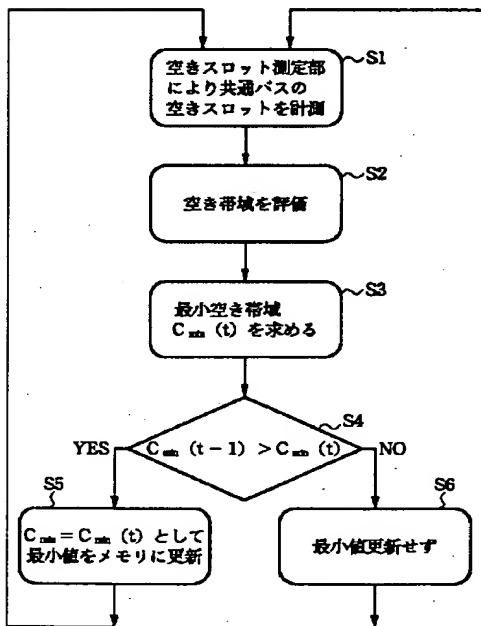
【図1】



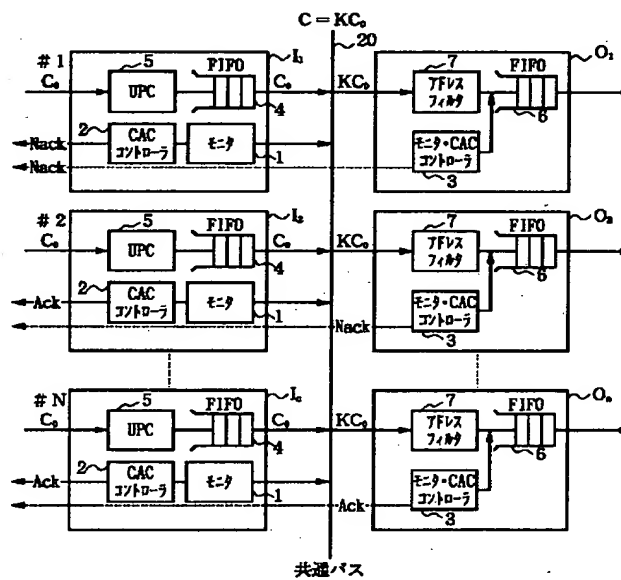
【図2】



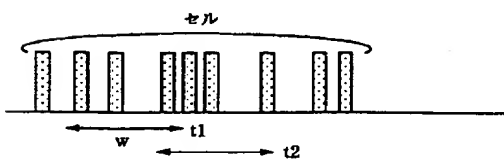
【図3】



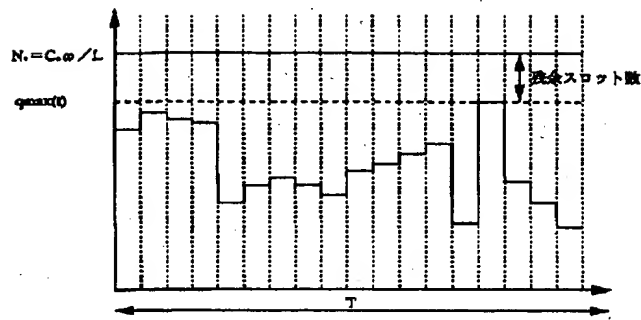
【図5】



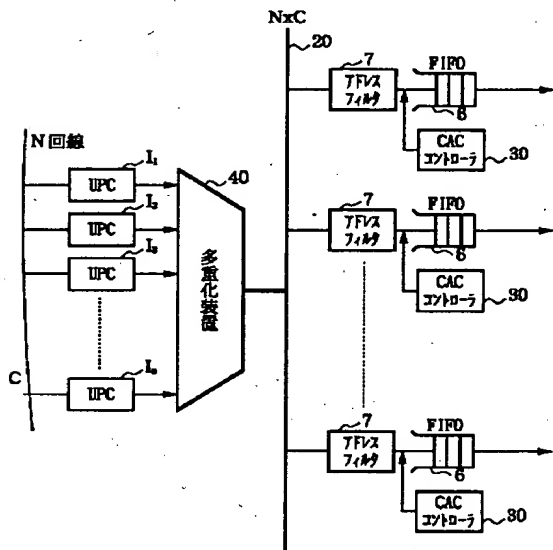
【図7】



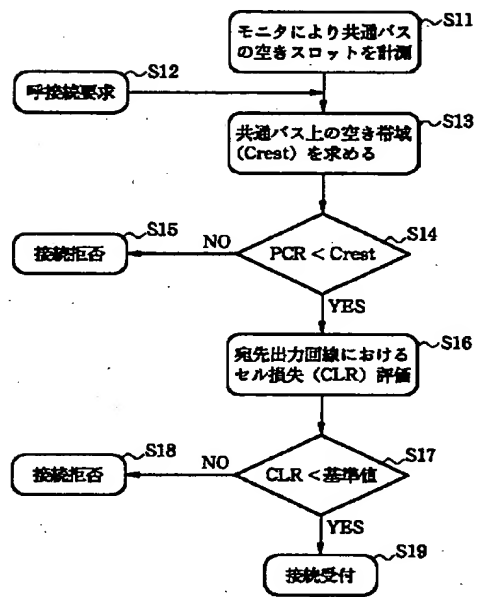
【図8】



【図10】



【図9】



【図11】

